

UNIVERSIDAD TECNOLÓGICA DE PEREIRA
INGENIERÍA FÍSICA
LABORATORIO DE ELECTRÓNICA DIGITAL I

PRÁCTICA 5: CIRCUITOS COMBINACIONALES ARITMÉTICOS

- Objetivos:**
- Entender los procedimientos binarios para los procesos de suma, resta y producto.
 - Fundamentación en el diseño con base en módulos aritméticos estandarizados.
 - Introducción a la aritmética en BCD.

Trabajo previo

- Plantee la tabla de verdad y las ecuaciones lógicas que describen el circuito de un sumador completo de un bit. Dibuje su correspondiente diagrama lógico.
- Vea el sumador anterior como un bloque funcional y a partir de él, muestre como se construiría un sumador pseudo-paralelo de 4 bits.
- Consulte la hoja de datos del circuito integrado 74LS83 y con base en él, diseñe un **sumador/restador** de 4 bits. Dicho circuito debe tener una entrada con la cual se especifique suma o resta. Explique en detalle su diseño y funcionamiento.
- Utilice el 74LS83 como módulo central, para construir un multiplicador binario de 3 bits. Explique en detalle su diseño y funcionamiento.
- Utilizando módulos conocidos, diseñe un circuito sumador BCD, es decir, un circuito que permita sumar dos números BCD donde cada operando es de 4 bits (un dígito BCD). Adicionalmente, el resultado de esta suma debe mostrarse en display's de 7 segmentos. Explique en detalle su diseño y funcionamiento.

Trabajo en el laboratorio

Con los componentes y equipo adecuado realice lo siguiente:

- Monte el circuito sumador/restador de 4 bits diseñado en el trabajo.
- Pruebe primero la parte sumadora del circuito con varios sumandos y verifique el estado de los bits del resultado y acarreo de salida. Utilice intencionalmente sumandos que activen el acarreo de salida. Algunas operaciones pueden ser: $0 + 5$, $4 + 5$, $4 + 15$ y $15 + 15$. Adjunte imágenes de este funcionamiento.
- Luego pruebe la parte restadora de igual forma que el numeral anterior. **Importante:** *Valide los resultados, ya que al usar complemento a dos para realizar la resta el rango de representación numérica se reduce a la mitad ($-2^{n-1} \leq N \leq 2^{n-1} - 1$) y el resultado puede ser incorrecto en algunos casos.* De ser así, haga los cambios correspondientes en el circuito para que el resultado se muestre correctamente. Algunas restas de prueba pueden ser: $0 - 1$, $4 - 4$, $4 - 6$ y $15 - 8$. Adjunte imágenes de este funcionamiento.
- Monte el circuito correspondiente al multiplicador binario de 3 bits. Pruebe por lo menos 4 multiplicaciones: 0×2 , 2×0 , 2×3 y 7×7 , validando en cada caso el resultado. Adjunte imágenes.
- Monte el circuito sumador BCD del trabajo previo y pruebe con varios sumandos de entrada, incluya en sus pruebas el caso máximo $9 + 9$. Luego ingrese números que sean códigos BCD no válidos, observe el resultado en los displays y cuestiónese por este funcionamiento. Adjunte imágenes.